

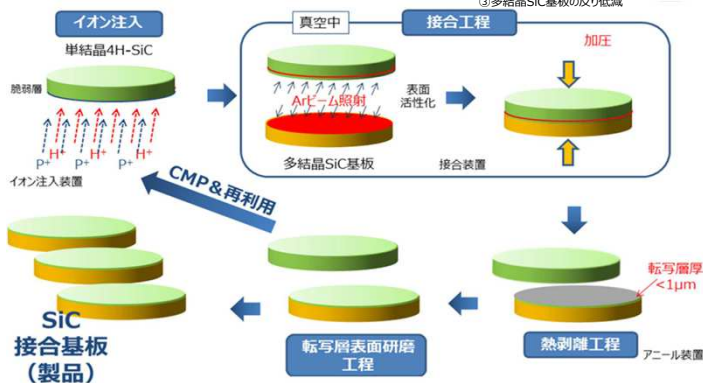
概要

- 4H-SiCはSiと比べてパワーデバイス用材料と優れているが、依然として高コストであることがSiC市場拡大の妨げの一つとなっている。
- 貼り合わせSiCとは、単結晶4H-SiC薄膜を安価な支持基板の多結晶SiCに貼り合わせたものである。それを繰り返し貼り合わせることで低コスト化を実現¹⁾。
- 支持基板の多結晶SiCは、単結晶SiCより高い不純物濃度のために低抵抗化が期待される。
- 貼り合わせSiCと単結晶SiCを用いてSBD(Schottky Barrier Diode)を作製してIV特性の比較を行った。
- SBDプロセスフローは、エピタキシャルからSBD完成まで全て同一装置・条件で作製した。

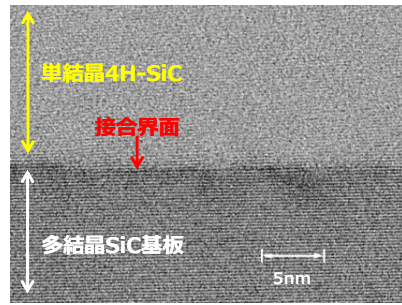
貼り合わせSiC

■ 貼り合わせSiC生産プロセス¹⁾

【特許】①SiC基板の表面活性化接合技術 (特許第6061251号)
②接合界面電気抵抗の解消技術
③多結晶SiC基板の反り低減

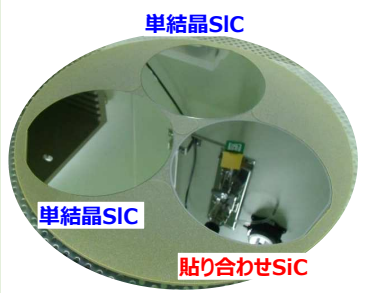


■ 断面TEMによる接合界面観察 (格子像)¹⁾



原子レベルでの接合

■ エピタキシャル

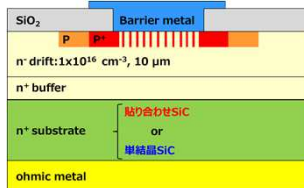


SBDプロセスフロー

■ SBDプロセスフロー

- 4H-SiC(0001)エピタキシャル
- JBS
- JTE
- 活性化アニール
- フィールド酸化膜形成
- オーミック電極形成
- ショットキー電極形成

■ SBD断面構造



同一の装置・条件

考察

■ IV特性まとめ

SiCウエハ	I_R (A/cm ²) @ V_R 1200 (V)	V_F (V) @ I_F 200 (A/cm ²)
単結晶SiC	7.40×10^{-7}	1.38
貼り合わせSiC	6.49×10^{-7}	1.25

■ V_F - I_F 特性の電流微分抵抗: R_{ON}

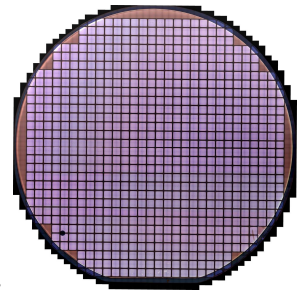
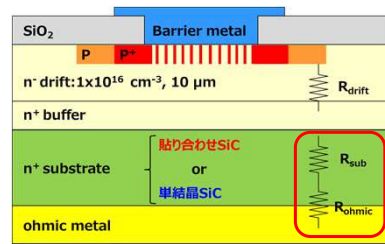


図 貼り合わせSBD完成ウエハ

V_F - I_F 特性の電流微分抵抗: R_{ON} は、主に次式となる。

$$R_{on} = R_{drift} + R_{sub} + R_{ohmic}$$

貼り合わせSiCは、多結晶SiCの高い不純物濃度による効果により、

A) (貼り合わせSiC) $R_{sub}/2 =$ (単結晶SiC) R_{sub}

B) (貼り合わせSiC) $R_{ohmic} <$ (単結晶SiC) R_{ohmic}

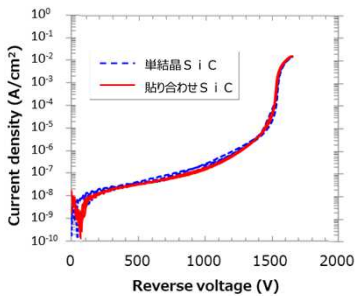
式A)は多結晶SiC比抵抗値より示す。式B)は推測であり今後確認を行う。

貼り合わせSiCの低 V_F は、 R_{sub} と R_{ohmic} の複合的な効果と考える。

この低 V_F により、チップ面積縮減が可能であることが実証された。

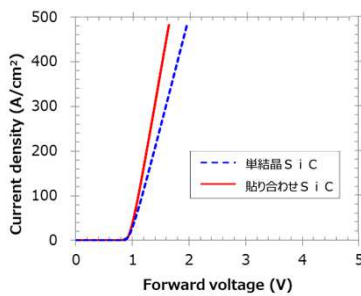
結果

■ V_R - I_R 特性



V_R - I_R 特性 同等

■ V_F - I_F 特性



V_F - I_F 特性 低 V_F

まとめ

- 貼り合わせSiCと単結晶SiCを用いて、エピタキシャルからSBD完成までを同一の装置・条件で作製し、IV特性の比較を行った。
- 貼り合わせSiCは、支持基板である多結晶SiCの高い不純物濃度による効果で低 V_F が確認された。
- この結果から、貼り合わせSiCは基板コスト低減に加え、低抵抗化によるチップ面積縮減も可能であることが実証された。
- 今後は、貼り合わせSiCの R_{ohmic} の確認を行う。

謝辞

本研究は「つくばパワーエレクトロニクスコンスレーション (TPEC)」によって実施されました。

[1]河原孝光 他、精密工学会誌 Vol.83, No.9, 2017