

3C-SiC多結晶と4H-SiC単結晶の貼り合わせ基板上に形成されたパワーデバイスのI-V特性評価

I-V characteristics of power devices fabricated on bonded substrate of 3C-SiC poly crystal and 4H-SiC single crystal

霜野貴也¹, 内田英次², 小野木淳士¹, 藤原広和¹

¹株式会社ミライズテクノロジーズ, ²株式会社サイコックス



IB-18

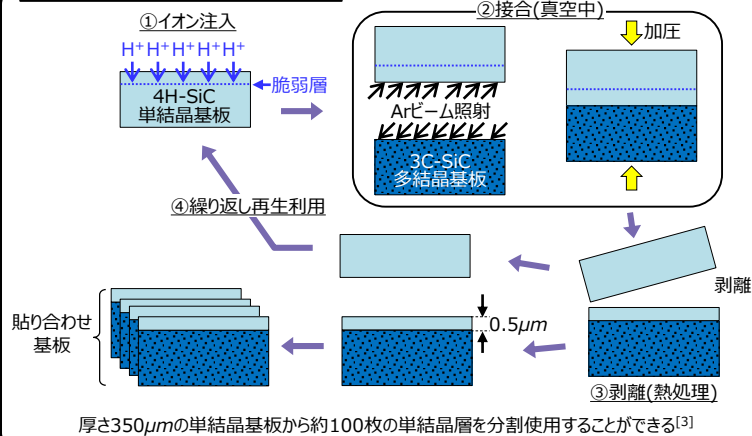
結論

- ✓ 貼り合わせ基板を用いた大面積チップ (8mm²) のpnダイオードとトレンチMOSFETを製作した
- また、I-V特性評価し、単結晶基板品と同等の低リーク電流特性を確認した
- ✓ ウェハ径Φ4インチの試作にて、高歩留まり (pnダイオード:93%、トレンチMOS:84%) を得た

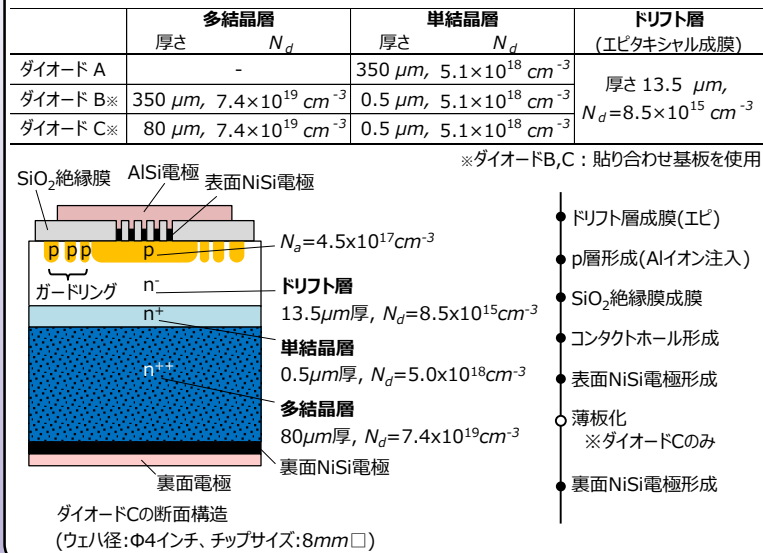
1. 研究背景

- ・電動車のエネルギー効率向上のためワイドバンドギャップなSiCパワー半導体の開発が進められている
- ・SiC単結晶基板が高コストであることが市場拡大の妨げ要因の1つとなっている
- ・筆者らは貼り合わせ基板^{[1][2]}を用いる等で低コストなSiCパワーデバイスの開発に取り組んでいる

2. 貼り合わせ基板の製造方法

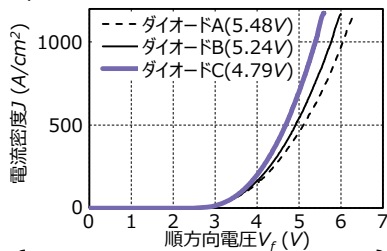


3. pnダイオードの構造と作製プロセス

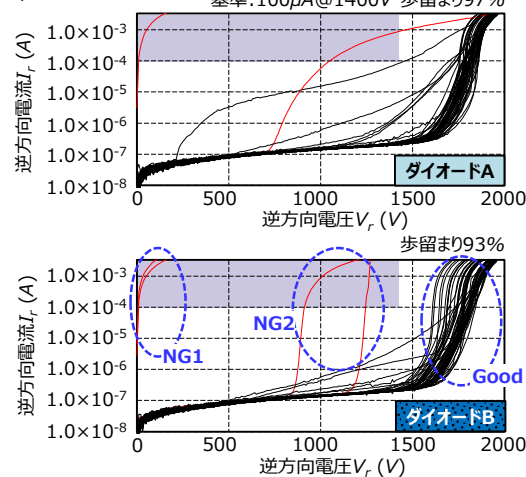


4. pnダイオード評価結果

1) 順方向I-V特性



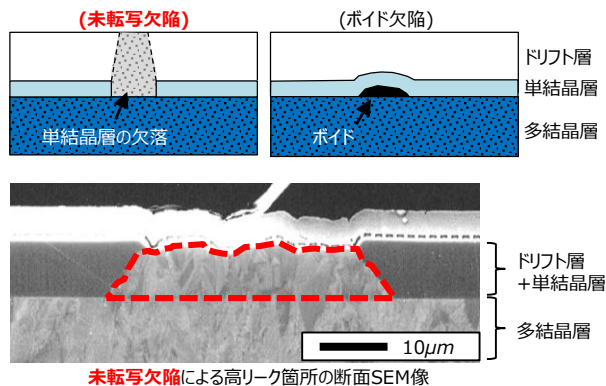
2) 逆方向I-V特性



3) ダイオードBの逆バイアス高リーク(NG1, NG2) の原因調査

- ・NG1の1つは貼り合わせ基板特有の未転写欠陥※による故障
- ・NG1の残りとNG2は、エピ膜中三角欠陥とダウンフォール欠陥起因

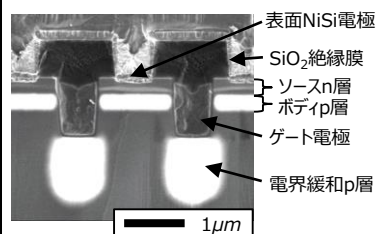
※貼り合わせ基板工程で発生する2種類の結晶欠陥について



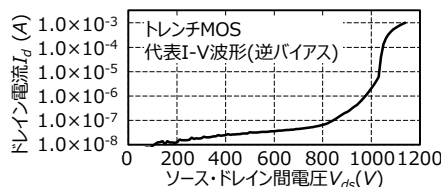
5. トレンチMOSの構造と主要特性

	多結晶層	単結晶層	ドリフト層 (エピタキシャル成膜)
	厚さ	厚さ	
MOS A	-	350 μm, $5.1 \times 10^{18} \text{ cm}^{-3}$	厚さ 8.5 μm, $N_d = 2.1 \times 10^{16} \text{ cm}^{-3}$
MOS B※	350 μm, $7.4 \times 10^{19} \text{ cm}^{-3}$	0.5 μm, $5.1 \times 10^{18} \text{ cm}^{-3}$	

※MOS B: 貼り合わせ基板を使用



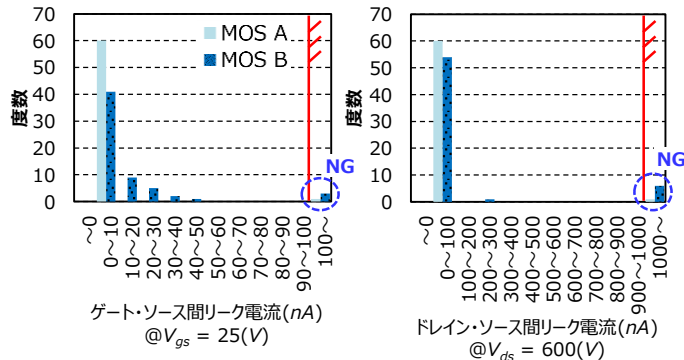
トレンチMOSの断面構造^[4]
(ウェハ径:Φ4インチ、チップサイズ:8mm²)



トレンチMOS A主要特性

項目	測定条件	値
耐圧	$I_d = 100 \text{ (μA)}$	1050(V)
オン電圧	$I_d = 200 \text{ (μA)}, V_{gs} = 20 \text{ (V)}$	1.05(V)
閾値	$I_d = 200 \text{ (mA)}, V_{ds} = 10 \text{ (V)}$	3.8(V)

6. トレンチMOS評価結果



- ・貼り合わせ基板品(MOS B)にて、単結晶品(MOS A)と同等の低リーク電流特性を確認 (MOS A:98%、MOS B:84%の歩留まりを得た)
- ・オン電圧について、ダイオードVと同様、損失低減効果を確認(MOS Aから▲0.23V低減)